

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent Abstracts of Japan

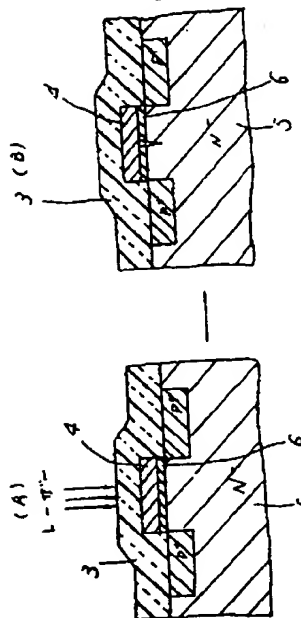
PUBLICATION NUMBER : JP61046045
 PUBLICATION DATE : 06-03-86
 APPLICATION NUMBER : JP840166373
 APPLICATION DATE : 10-08-84

VOL: 10 NO: 205 (E - 420)
 AB. DATE : 17-07-1986 PAT: A 61046045
 PATENTEE : HITACHI LTD
 PATENT DATE: 06-03-1986

INVENTOR : YAMAMOTO AKIRA; others: 01

INT.CL. : H01L21/82; G11C29/00;
 H01L27/10; H01L29/78

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To obtain in program element-forming technique replaceable with a fuse while preventing the damage of a semiconductor integrated circuit due to moisture intruding into a package by short-circuiting a gate electrode and a substrate through the irradiation of a laser to a gate electrode section.
 CONSTITUTION: When a laser is projected toward a gate electrode 4 from the upper section of a passivation film 3, the gate electrode 4 consisting of a polysilicon layer is melted. The melted electrode material penetrates a gate insulating film 6 and reaches the main surface of a semiconductor substrate 5, and the gate electrode 4 and the substrate 5 are short-circuited. Since the gate insulating film 6 in a MOSFET is extremely thin at the time, the gate insulating film 6 is broken simply when the gate electrode 4 is melted by the laser, thus short-circuiting the gate electrode and the substrate. According to such a method, a process in which an opening section is formed to the passivation film 3 on the gate electrode 4 for the MOSFET as a program element is not required.

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A)

昭61-46045

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和61年(1986)3月6日

H 01 L 21/82
G 11 C 29/00
H 01 L 27/10
29/78

6655-5F
7737-5B
6655-5F
8422-5F

審査請求 未請求 発明の数 1 (全5頁)

⑰ 発明の名称 半導体装置

⑱ 特 願 昭59-166373

⑲ 出 願 昭59(1984)8月10日

⑳ 発 明 者 山 本 晶
㉑ 発 明 者 佐 伯 亮
㉒ 出 願 人 株式会社日立製作所
㉓ 代 理 人 弁理士 高橋 明夫

小平市上水本町1450番地 株式会社日立製作所武蔵工場内
小平市上水本町1450番地 株式会社日立製作所武蔵工場内
東京都千代田区神田駿河台4丁目6番地
外1名

明 細 書

発 明 の 名 称

半 導 体 装 置

特許請求の範囲

1. 半導体基板の主面上に形成された絶縁ゲート型電界効果トランジスタが、プログラム素子として使用され、その絶縁ゲート型電界効果トランジスタのゲート電極部へのレーザーの照射によってゲート電極と基板との間が短絡されることによりプログラムが行なわれるようにされてなることを特徴とする半導体装置。

2. 上記プログラム素子は、絶縁ゲート型電界効果トランジスタを構成素子とする半導体集積回路において回路を構成する絶縁ゲート型電界効果トランジスタと同時に形成されたトランジスタであることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 上記プログラム素子は、半導体記憶装置における冗長回路の切換え用プログラム素子であることを特徴とする特許請求の範囲第1項もしくは第

2項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

この発明は、半導体技術さらにはプログラム素子技術に関し、例えば半導体装置におけるヒューズと代替可能なプログラム素子の形成に利用して有効な技術に関する。

〔背景技術〕

例えば256キロビットのダイナミックRAM(ランダム・アクセス・メモリ)のような大容量の半導体記憶装置においては、メモリアレイ内の欠陥ビットを含むメモリ列を、予備のメモリ列と切り換えることによってチップの歩留まりを向上させる目的で冗長回路が設けられることがある。この冗長回路への切り換えを行なうため、従来は一般に半導体基板上にシリコン酸化膜のような絶縁膜を介してポリシリコン等からなるヒューズを形成し、このヒューズの切断の有無によって切り換えが行なわれている。この場合、ヒューズは両端に20V程度の電圧をかけて過電流を流し、あ

るいはレーザーを照射することによって溶断させることができる(ポリシリコン・ヒューズを冗長回路の切換え用プログラム素子とした技術については、例えば特願昭58-219408号に示されている)。

ところが、上記のようにポリシリコン・ヒューズをプログラム素子とした半導体装置においては、ヒューズ溶断の際に、蒸発されるヒューズの成分が外部に飛散できるようにし、またレーザー溶断では高エネルギーのレーザーを用いるのでレーザーによるパッシベーション膜への損傷を防止するため、切断部の上方のパッシベーション膜が一部除去されて開口部(窓)が形成されるようになっていく。

そのため、ヒューズ溶断後、この開口部をそのままにしておくと、そこに水分等が付着し、さらにその水分が層間絶縁膜の下に浸入して半導体集積回路を構成する素子を劣化させるおそれがある。特に最近使用されるようになって来たプラスチックパッケージでは、比較的水分がパッケージ内に

浸入し易いので、ヒューズ形成部分のパッシベーション膜に開口部があると、水分の浸入による損傷が起き易いという問題点がある。

また、水分による損傷を防止するためヒューズ溶断後に開口部の上に保護膜を形成することも行なわれているが、それによるとプロセスの工程数が増えてしまうという不都合がある。

[発明の目的]

この発明の目的は、半導体集積回路におけるヒューズと代替可能なプログラム素子形成技術を提供することにある。

この発明の他の目的は、プロセスを複雑にすることなくパッケージ内に浸入した水分による半導体集積回路の損傷を防止できるプログラム素子形成技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

[発明の概要]

本願において開示される発明のうち代表的なも

の概要を説明すれば、下記のとおりである。

すなわち、半導体記憶装置の冗長回路切換え用のプログラム素子として、ヒューズの代わりにMOSFET(絶縁ゲート型電界効果トランジスタ)を用い、パッシベーション膜の上からこのMOSFETのゲート電極部に比較的低エネルギーのレーザーを照射してゲートを破壊し、ゲートと基体間を短絡状態にさせることによって、プログラム素子形成部のパッシベーション膜に水分等の浸入口となる開口部を形成することなく、しかも低エネルギーのレーザーでプログラムを行なえるようにし、これによってプロセスを複雑にすることなく水分による集積回路の損傷を防止できるようなプログラム素子を提供するという上記目的を達成するのである。

[実施例1]

第1図は、本発明をCMOS(相補型MOS)型構成のRAMにおける冗長回路切換え用のプログラム素子に適用した場合の一実施例を示す。

この実施例では、プログラム素子としてのMOS

SFETQPと、このMOSFETQPのゲート端子と回路の接地点との間に接続された高抵抗素子Rとによってプログラム可能なレベル設定回路1が設けられている。上記MOSFETQPの基体には電源電圧 V_{cc} が印加され、MOSFETQPのソース端子とドレイン端子にも電源電圧 V_{cc} が印加されている。また、特に制限されないが、上記MOSFETQPは第2図(A)に示すようにPチャンネル形に形成され、上記高抵抗素子Rは、不純物を含まないように形成されたノンドープ・ポリシリコン層によって構成されている。

そして、上記レベル設定回路1の出力ノード n_1 の電位は、例えばYデコーダ2から出力される列選択信号 ϕ_y を選択的に転送するトランスファゲートとしてのPチャンネル形MOSFET Q_1 とNチャンネル形MOSFET Q_2 のゲート端子に印加されている。上記レベル設定回路1は、図示しないメモリアレイ内の各メモリ列に対応してそれぞれ設けられる。

上記レベル設定回路1を構成するMOSFET

Q_Pは、第2図(A)で示すように、パッシベーション膜3の上からそのゲート電極4に向かってレーザーを照射すると、ポリシリコン層からなるゲート電極4が溶融される。そして、この溶融された電極材料が、同図(B)に示すようにゲート絶縁膜6を貫通して半導体基板5の主面に達し、ゲート電極4と基板5との間が短絡される。この場合、MOSFETQ_Pのゲート絶縁膜6は非常に薄いため、レーザーによってゲート電極4が溶融されると簡単に破壊されて、ゲート電極と基板間が短絡される。

しかも、この実施例によると、従来のポリシリコン・ヒューズのようにこれを完全に溶断する必要はなく、単に溶融させるだけでよいので、低エネルギーのレーザーを使用することができる。そのため、上記実施例のように、ゲート電極4の上に形成されたパッシベーション膜3の上からレーザーを照射してゲート電極4を溶融させても、パッシベーション膜3はほとんど損傷されることはない。

る冗長カラムスイッチへ伝えられるようになる。

一方、レベル設定回路1内のMOSFETQ_Pのゲート電極4にレーザーを照射しなかった場合には、MOSFETQ_Pのゲート絶縁膜6は破壊されないで、ゲート電極4と基板5との間は絶縁されている。そのため、レベル設定回路1の出力ノードn₁の電位は、高抵抗素子Rを通して供給される接地電位のようなロウレベルにされる。これによって、トランスファゲートとしてのMOSFETQ₁が導通状態にされ、MOSFETQ₂が非導通状態にされる。その結果、Yデコーダ2から出力される列選択信号φ_Yは、正規のメモリ列を選択するカラムスイッチに伝えられ、予備メモリは選択されないことになる。

従って、メモリアレイ内の正規の各メモリ列に対応して設けられたレベル設定回路1のうち、検査によって発見された不良ビットを含むメモリ列に対応するレベル設定回路1内のMOSFETQ_Pに対してのみ、レーザーを照射してゲート・基板間を短絡してやれば、不良ビットを含むメモリ

に従って、この実施例によると、プログラム素子としてのMOSFETQ_Pのゲート電極4上のパッシベーション膜3に開口部を形成したり、あるいはレーザー照射によりゲートと基板間を短絡した後パッシベーション膜3の形成を行なうようなプロセスをとる必要がない。

上記のようにして、プログラム素子としてのMOSFETQ_Pのゲート絶縁膜6が破壊されてゲート電極4と基板5との間が短絡されると、N型半導体基板5には基板電圧として電源電圧V_{cc}が印加されるため、第1図に示すレベル設定回路1の出力ノードn₁は、電源電圧V_{cc}に近いハイレベルに設定される。この出力ノードn₁の電位によって、トランスファゲートとしてのPチャンネル形MOSFETQ₁が非導通状態にされ、Nチャンネル形MOSFETQ₂が導通状態にされる。すると、Yデコーダ2から出力された列選択信号φ_Yは、メモリアレイ内の正規のメモリ列のデータ線をメインアンプに接続させるカラムスイッチに伝えられないで、予備のメモリ列を選択す

列の代わりに予備のメモリ列が選択されるようになる。

なお、上記実施例において、プログラム素子としてのMOSFETQ_Pは、メモリセルあるいはその周辺回路を構成するPチャンネル形のMOSFETと同時に形成することができる。また、フリップフロップ型メモリセルからなるスタティックRAMでは、レベル設定回路1を構成する高抵抗素子Rは、メモリセル内のポリシリコン層からなる負荷抵抗と同時に形成することができる。

〔実施例2〕

第3図には、本発明をNチャンネル形MOSFETのみからなるRAMにおける冗長回路切換え用のレベル設定回路に適用した場合の一実施例が示されている。

この実施例では、ソース端子とドレイン端子および基体が回路の接地点に接続されたプログラム素子としてのNチャンネル形MOSFETQ_{P'}と、そのゲート端子と電源電圧V_{cc}との間に接続された高抵抗素子Rとによってレベル設定回路1

が構成されている。

上記MOSFETQp'は、P型半導体基板の主面上に直接形成され、該半導体基板が接地電位にバイアスされることにより、MOSFETQp'の基体に接地電位が印加される。

従って、この実施例のレベル設定回路1では、MOSFETQp'のゲート電極にレーザーが照射されてゲート電極と基板間が短絡されると、出力ノードn₁'が接地電位に近いロウレベルにされる。一方、レーザーが照射されないと、MOSFETQp'のゲート破壊が生じないので、出力ノードn₁は、電源電圧Vccのようなハイレベルにされる。

従って、上記2つのレベルの中間の電圧をしきい値電圧とするインバータ7で、上記レベル設定回路1の出力ノードn₁'の電位を受けて、そのインバータ7の出力でデコーダ2から出力される列選択信号φ_yを正規のメモリ列もしくは予備メモリ列のカラムスイッチに伝えるトランスファゲートを開閉制御させるようにしてやれば、冗長

回路の切換えを行なうことができる。

なお、この実施例のレベル設定回路は、CMOS構成のRAMにおいて、Pウェル領域上に形成されたNチャンネル形MOSFETをプログラム素子として使用する場合に適用することができる。その場合、MOSFETQp'の基体は、n⁻型半導体基板ではなくPウェル領域となる。

なお、上記実施例では、プログラム素子としてのMOSFETQpのゲート電極がポリシリコン層で形成されているとしたが、それに限定されるものでなく、アルミニウムその他の金属あるいはそれらのシリコン化合物もしくはその複合構造(多層構造)からなるゲート電極である場合にも適用することができる。

さらに、上記実施例では、パッシベーション膜3の上からゲート電極4に向かってレーザーを照射するとしたが、パッシベーション膜3とゲート電極4との間に層間絶縁膜があってもよいことはいうまでもない。

【効果】

(1) 半導体記憶装置の冗長回路切換え用のプログラム素子として、ヒューズの代わりにMOSFET(絶縁ゲート型電界効果トランジスタ)を用い、パッシベーション膜の上からこのMOSFETのゲート電極部に比較的低エネルギーのレーザーを照射してゲートを破壊し、短絡状態にさせてプログラムを行なうようにしたので、プログラム素子形成部のパッシベーション膜に水分等の浸入口となる開口部を形成することなく、しかも低エネルギーのレーザーでプログラムが行なえるようになるという作用により、プロセスを複雑にすることなく水分による集積回路の損傷を防止できるという効果がある。

(2) 半導体記憶装置の冗長回路切換え用のプログラム素子として、ヒューズの代わりにMOSFET(絶縁ゲート型電界効果トランジスタ)を用い、パッシベーション膜の上からこのMOSFETのゲート電極部に比較的低エネルギーのレーザーを照射してゲートを破壊し、ゲート・基体間を短絡状態にさせてプログラムを行なうようにしたの

で、MOS集積回路に利用した場合には、回路を構成する素子と同時にプログラム素子を形成できるという作用により、全くプロセスを変更することなく、ヒューズと代替可能なプログラム素子を形成することができるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例ではプログラム素子としてのMOSFETQpのゲート電極-基体間がレーザーの照射によって短絡されるようになっているが、それに限定されず、例えば電子ビーム等を用いて短絡させることも可能である。また、冗長切換え回路の構成は、上記実施例のようにトランスファゲートを用いたものに限定されず、種々の構成例が考えられる。

【利用分野】

以上の説明では主として本発明者によってなされた発明を、その背景となった利用分野であるス

タテックRAMにおける冗長回路の切換技術に適用した場合について説明したが、それに限定されるものではなく、ダイナミックRAMやEPROM等の半導体記憶装置の冗長回路さらには、ヒューズを有する半導体集積回路一般に利用することができる。

図面の簡単な説明

第1図は、本発明をメモリの冗長回路に適用した場合の一実施例を示す回路構成図。

第2図(A)、(B)は、本発明に係るプログラム素子のレーザー照射前後の構造を示す断面図。

第3図は、本発明を冗長回路切換え用のレベル設定回路に適用した第2の実施例を示す回路図である。

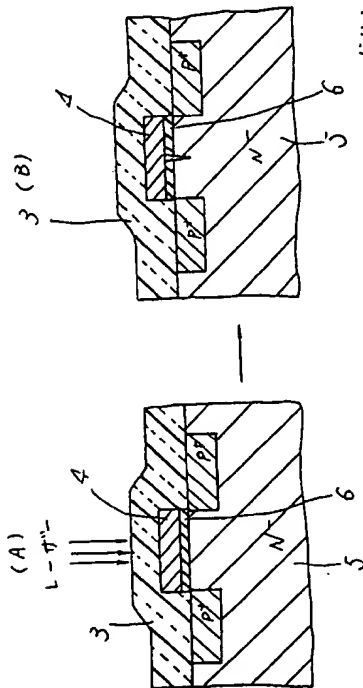
- 1・・・レベル設定回路、2・・・Yデコーダ、3・・・パッシベーション膜、4・・・ゲート電極、5・・・半導体基板、6・・・ゲート絶縁膜、 Q_P 、 $Q_{P'}$ ・・・プログラム素子(MOSFET)、 R ・・・高抵抗素子、 Q_1 、 Q_2 ・・・トランスファゲート。

代理人 弁理士 高橋 明夫



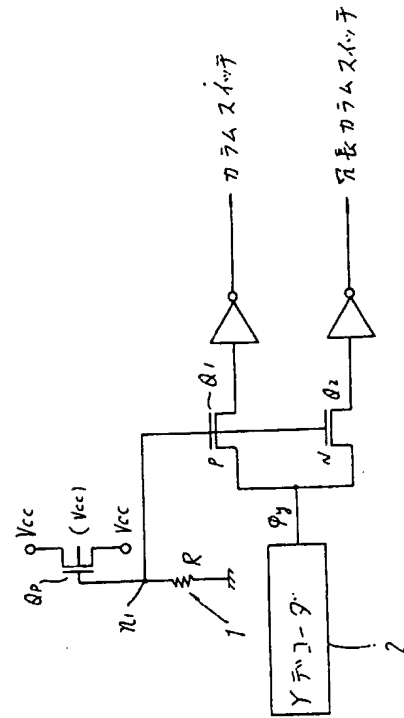
530

図 2



特開昭61-46045
531

図 1



第 3 図

